

НАУЧНО-ИССЛЕДОВАТЕЛЬСКОЕ УЧРЕЖДЕНИЕ
ИНСТИТУТ ЯДЕРНОЙ ФИЗИКИ им. Г.И.Будкера СО РАН

М.А. Букин, В.М. Титов

ВРЕМЯ-ЦИФРОВОЙ ПРЕОБРАЗОВАТЕЛЬ
С НАНОСЕКУНДНЫМ РАЗРЕШЕНИЕМ
НА ОСНОВЕ ПЛИС ALTERA

ИЯФ 2001-57

Новосибирск
2001

**Время-цифровой преобразователь
с наносекундным разрешением
на основе ПЛИС Altera**

М.А. Букин, В.М. Титов

Институт ядерной физики им. Г.И. Будкера
630090 Новосибирск, Россия

Аннотация

В работе приводится схема измерения интервалов времени между двумя сигналами с помощью ПЛИС Altera и результаты исследования ее характеристик.

**Time-to-digital convertor
with nanosecond resolution based on the PLD Altera**

M.A. Bukin, V.M. Titov

Budker Institute of Nuclear Physics
630090, Novosibirsk, Russia

Abstract

The scheme for measurement of time intervals between two signals using PLD Altera is introduced and characteristics are discussed.

©Институт ядерной физики
им. Г.И. Будкера СО РАН, Россия

1 Введение

Одной из часто встречающихся задач при проведении экспериментов по физике элементарных частиц является измерение интервалов времени между различными сигналами с наносекундным разрешением. Для этих целей используются так называемые время-цифровые преобразователи (ВЦП) различных типов. Так, например, координатные системы больших детекторов, основанные на дрейфовых камерах, содержат многие тысячи ВЦП.

Среди большого разнообразия ВЦП наиболее универсальными являются ВЦП комбинированного типа, имеющие достаточно высокое временное разрешение и практически неограниченный динамический диапазон измеряемых интервалов. В таких ВЦП измерение интервалов времени осуществляется путем счета периодов тактовой частоты непрерывно работающего генератора, попавших в интервал времени между сигналами СТАРТ и СТОП. Кроме того, в каналах СТАРТ и СТОП имеются устройства, называемые интерполяторами, с помощью которых дополнительно с высокой точностью измеряются интервалы между сигналом СТАРТ и первым сосчитанным периодом тактовой частоты и между сигналом СТОП и, соответственно, последним сосчитанным периодом тактовой частоты. Таким образом, динамический диапазон таких преобразователей определяется разрядностью счетчика периодов тактовой частоты, а интерполяторы позволяют получить временное разрешение существенно лучшее, чем длительность периода тактовой частоты.

В свою очередь, среди различных типов используемых интерполяторов следует выделить интерполяторы на основе линий задержек с промежуточными отводами, которые позволяют построить ВЦП только на цифровых логических элементах без промежуточных аналоговых преобразований типа “время – амплитуда”. Комбинированные ВЦП с такого вида интерполяторами известны еще как хронотронные преобразователи, или хронотроны. В качестве элементов задержки могут быть использованы отрезки коаксиальных кабелей [1]. В качестве примера реализации ВЦП в полностью интегральном исполнении может служить специализированная СБИС MTD133 фирмы LeCroy [2]. В этой микросхеме линии задержек выполнены в виде цепочек последовательно включенных логических вентилях.

Появление в последнее время сравнительно дешевых программируемых логических интегральных схем (ПЛИС) с большим количеством элементов и высоким быстродействием позволяет рассматривать их в качестве элементной базы для построения полностью интегральных программируемых ВЦП.

В данной работе обсуждается схема и параметры измерителя интервалов времени, реализованного на ПЛИС фирмы Altera и являющегося прототипом для проектируемой многоканальной электроники для координатной системы модернизируемого Сферического Нейтрального Детектора (СНД) [3].

2 Структурная схема ВЦП

Предлагаемая схема (рисунок 1) построена по принципу хронотрона и состоит из логики управления работой схемы, линий задержек сигналов START и STOP, преобразователей кодов линий задержек, счетчика числа тактов между сигналами START и STOP.

2.1 Инициализация процедуры измерения

Работа схемы начинается с установки канала в исходное состояние сигналом RESET, который сбрасывает все регистры в начальное состояние. Если при этом линия ENABLE разрешена, то с этого момента схема готова к приему сигналов START. Состояние готовности сохраняется до прихода сигнала STOP или снятия разрешения работы ENABLE.

Сигналы RESET и ENABLE могут быть внешними, или устанавливаться в процессе работы схемы. В прототипе сигнал RESET подается первый раз программно и далее после сигнала STOP через определенный интервал времени, в течении которого данные считываются в инкрементную память. Сигнал ENABLE в прототипе используется при считывании содержимого инкрементной памяти в ЭВМ.

2.2 Линии задержки сигналов START и STOP

Линии задержки для сигналов START и STOP построены на D-триггерах. На информационные входы D всех триггеров подается логическая "1", выход Q каждого триггера соединен со счетным входом C следующего D-триггера. На счетный вход C первого триггера задержки подается сигнал START (или STOP). На входы сброса R всех триггеров линии задержки подается сигнал CLEAR, который формируется из сигнала RESET или из признака наличия зарегистрированного ранее сигнала START (или STOP).

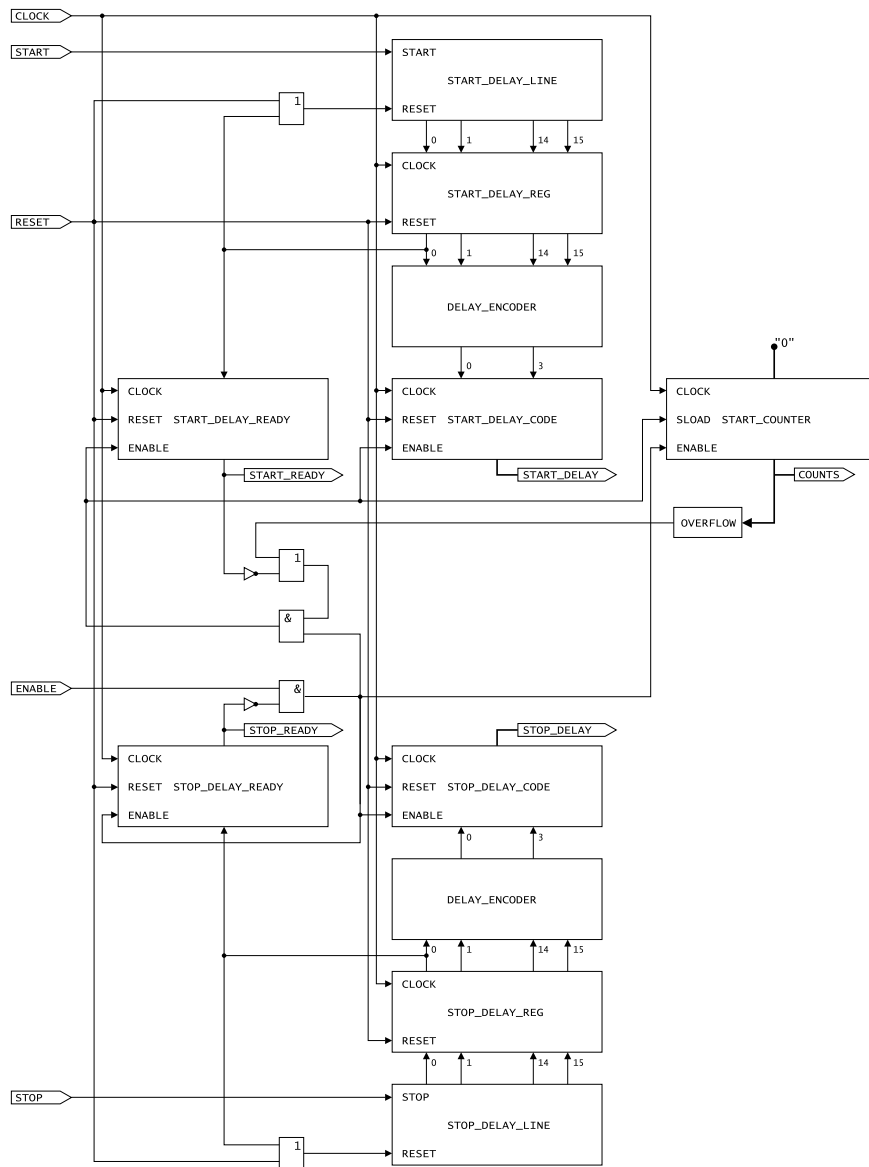


Рис. 1: Блок-схема измерения интервала времени между сигналами START и STOP.

Если на линии задержки нет сигнала CLEAR, то после прихода сигнала START (или STOP) на выходах D-триггеров последовательно, со сдвигом по времени, определяемым внутренней задержкой триггера, начнут появляться единицы. Состояние триггеров линии задержки фиксируется в регистре START_DELAY_REG (или STOP_DELAY_REG) по фронту сигнала тактовой частоты CLOCK, что дает возможность по количеству единиц в регистре определить время от прихода сигнала START (или STOP) на вход линии задержки до момента фиксации по сигналу CLOCK.

2.3 Счетчик числа периодов тактовой частоты между сигналами START и STOP

Схема содержит счетчик числа периодов тактовой частоты между сигналами START и STOP, содержимое которого вместе с информацией из линий задержек используется для вычисления интервала времени. При переполнении счетчика (например, при потере сигнала STOP) запускается процедура самосброса.

2.4 Обработка информации из линий задержек сигналов START и STOP

Состояние триггеров линии задержки сигнала START фиксируется в регистре START_DELAY_REG по положительному фронту сигнала тактовой частоты CLOCK. Позиционный код перекодируется в двоичный код (число единиц в регистре START_DELAY_REG) с помощью схемы DELAY_ENCODER, и двоичный код подается на вход регистра START_DELAY_CODE. Одновременно младший бит регистра START_DELAY_REG подается на вход регистра START_DELAY_READY. Единица в младшем бите сигнализирует о том, что на линию задержки пришел сигнал START.

Запись в регистр START_DELAY_CODE разрешена, если работа схемы разрешена (сигналом ENABLE) и выполнено хотя бы одно из условий:

- либо в регистре START_DELAY_READY нет данных;
- либо счетчик START_COUNTER переполнился (интервал времени лежит вне измеряемого диапазона и данные в регистре START_DELAY_CODE могут быть переписаны новыми данными из регистра START_DELAY_REG).

Одновременно с разрешением записи в регистр `START_DELAY_CODE`, разрешается запись в регистр `START_DELAY_READY` и на вход счетчика `START_COUNTER` подается "0". В таком случае на следующем такте `CLOCK` в регистр `START_DELAY_READY` будет занесено состояние младшего бита регистра `START_DELAY_REG`, в регистр `START_DELAY_CODE` будет занесено количество единиц в регистре `START_DELAY_REG` и в счетчик `START_COUNTER` будет занесено значение 0.

Запись данных в регистр `START_DELAY_CODE` запрещена, если работа схемы запрещена (отсутствует сигнал `ENABLE`) или выполнено два условия:

- есть данные в регистре `START_DELAY_READY`;
- счетчик `START_COUNTER` не переполнился.

В этом случае на вход счетчика `START_COUNTER` подается значение счетчика, увеличенное на 1. Таким образом, счетчик `START_COUNTER` считает число тактов `CLOCK` после фиксации данных в регистре `START_DELAY_CODE` (до момента появления единицы в регистре `STOP_DELAY_READY` – признак того, что был зарегистрирован сигнал `STOP`).

Если в младшем бите регистра `START_DELAY_REG` есть данные, то на входы триггеров линии задержки сигнала `START` подается сигнал `CLEAR`, и после того, как данные из регистра `START_DELAY_REG` переписуются в регистр `START_DELAY_CODE`, линия будет готова к приему следующего сигнала `START`.

Информация из линии задержки сигнала `STOP` обрабатывается аналогичным способом. Единственное отличие – в критериях, по которым разрешается запись в регистры `STOP_DELAY_READY` и `STOP_DELAY_CODE`: запись в эти регистры разрешена, если разрешена работа всей схемы (сигналом `ENABLE`) и в регистре `STOP_DELAY_READY` нет данных.

При наличии данных в регистре `STOP_DELAY_READY`, схема останавливает регистрацию сигналов до сигнала общего сброса `RESET`. За это время происходит считывание данных из линий задержек и счетчика тактов.

2.5 Считывание данных

В прототипе считывание данных происходит с использованием промежуточного буфера – инкрементной памяти. При использовании систем с малым временем чтения (типа `КЛЮКВА`), необходимости в таком буфере не будет.

Перед считыванием данных надо убрать сигнал ENABLE – разрешение работы, чтобы данные не изменялись в процессе чтения. Если в регистре STOP_DELAY_READY не был зафиксирован сигнал STOP, то канал не содержит значимой информации и можно дальше не читать. Если сигнал STOP был зафиксирован, то по наличию данных в регистре START_DELAY_READY надо определить, был ли зафиксирован сигнал START, и прочитать данные из регистров START_DELAY_CODE, STOP_DELAY_CODE и счетчика START_COUNTER.

Если были прочитаны следующие данные:

- start* – значение из регистра START_DELAY_CODE;
- stop* – значение из регистра STOP_DELAY_CODE;
- counts* – значение счетчика START_COUNTER;

то интервал времени между сигналами START и STOP вычисляется как:

$$time = counts * \tau + (start - stop) * \delta,$$

где τ – длительность периода тактовой частоты, δ – величина задержки одного элемента линии задержки.

3 Реализация прототипа схемы измерения интервала времени между двумя сигналами

Прототип выполнен на плате стандарта КАМАК. Использована ПЛИС Altera EPF10K50VRC240-3 с типовым временем задержки на вентиль 2.5 нс. Буфер для накопления результатов измерения выполнен на микросхемах статической памяти с временем выборки 12 нс, общая емкость 256 К 32-х разрядных слов (реально использовались 64 К слов). Тактовая частота 40 МГц, т.е. длительность периода тактовой частоты составляет 25 нс, что определяет минимальную необходимую длину линии задержки в 10 D-триггеров (в проект было заложено 12 D-триггеров в расчете на возможное отклонение типового времени задержки ПЛИС Altera). В качестве генератора тактовой частоты использована ИС фирмы Abraco, стабильность частоты $\frac{\Delta f}{f} = 30 \text{ ppm}$, что при измерении интервала 2.5 мкс составит $\pm 0.75 \text{ нс}$. Разрядность счетчика START_COUNTER составляет 7 бит, что позволяет измерять интервалы длительностью до $25 \text{ нс} \times 128 = 3.2 \text{ мкс}$. Реально максимальный измеряемый интервал ограничен 2.8 мкс путем ограничения количества отсчетов счетчика числом 112 с помощью схемы сравнения OVERFLOW. Таким образом формат читаемого слова:

start – значение из регистра `START_DELAY_CODE` – 4 бита;
stop – значение из регистра `STOP_DELAY_CODE` – 4 бита;
counts – значение счетчика `START_COUNTER` – 7 бит.

Полученное слово является адресом для инкрементной памяти. По этому адресу считывается значение, увеличивается на единицу и записывается обратно. После записи в память происходит автоматический сброс и схема готова к измерению нового интервала времени. После набора достаточной статистики работа схемы останавливается программно и содержимое памяти считывается и записывается в файл.

Для проведения измерений предусмотрена возможность изменения напряжения питания ПЛИС Altera.

Особое внимание было уделено подготовке проекта для ПЛИС Altera. Для получения однородных линий задержек пришлось отказаться от возможности автоматического размещения логических элементов, предоставляемой САПР MAX+PLUS II. Элементы линий задержек были размещены вручную для получения одинаковых и минимальных связей между ними. Все остальные элементы проекта были размещены автоматически с помощью САПР MAX+PLUS II.

Емкость микросхемы позволяет размещать не менее 4 каналов для сигналов `START` и одного канала для сигнала `STOP`, такая возможность была реализована в одном из проектов.

4 Проверка прототипа схемы с помощью генератора

На схему измерения интервала времени подаются два сигнала – `START` и `STOP`. Результаты измерений накапливаются в инкрементной памяти. В зависимости от проверяемых параметров использовались различные способы формирования сигналов `START` и `STOP`.

4.1 Проверка временного разрешения путем измерения фиксированного интервала времени

Сигнал с частотой 100 кГц подается с генератора на вход `START` и на вход кабельной линии задержки 250 нс. С выхода линии задержки сигнал подается на вход `STOP`. Кабельная линия задержки позволяет получить стабильную задержку сигнала, что очень важно при проверке однородности схемы измерения. В случае существенной неоднородности элементарных задержек набранная гистограмма измерений интервалов времени между сигналами `START` и `STOP` будет размазанной, а в идеальном

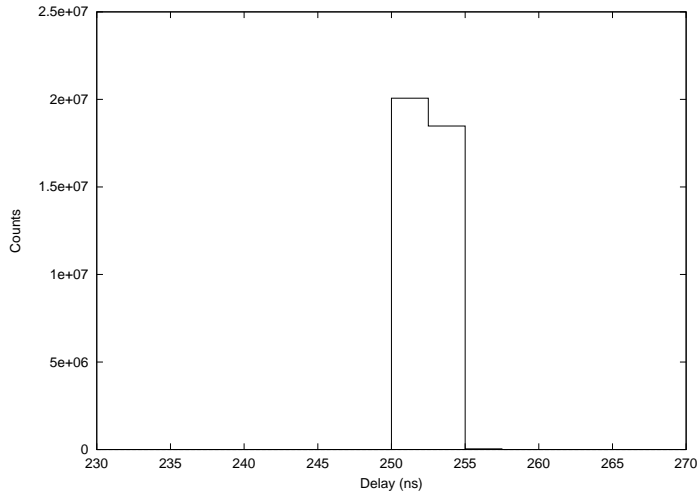


Рис. 2: Распределение измеренных интервалов времени для фиксированного интервала времени между сигналами START и STOP

случае вся гистограмма должна уложиться в два канала. Абсолютное значение задержки в данном типе измерений не критично.

Результаты измерений приведены на рисунке 2.

Измеренные значения:

$$\bar{x} = \frac{\sum_{i=0}^{N-1} x_i * y_i}{\sum_{i=0}^{N-1} y_i} = 251.2 \text{ ns} ,$$

$$\sigma = \sqrt{\frac{\sum_{i=0}^{N-1} (x_i - \bar{x})^2 * y_i}{\sum_{i=0}^{N-1} y_i}} = 1.25 \text{ ns} .$$

4.2 Проверка однородности шкалы путем измерения равномерно распределенного интервала времени

На входы START и STOP подаются сигналы от разных генераторов. Так как генераторы не синхронизованы друг с другом, то интервал времени между сигналами будет плавно изменяться между нулём и периодом сигнала с большей частотой. В идеальном случае должна получиться гистограмма с равномерным распределением. Отличие от равномерности может иметь разные причины и должно быть обосновано в каждом конкретном случае.

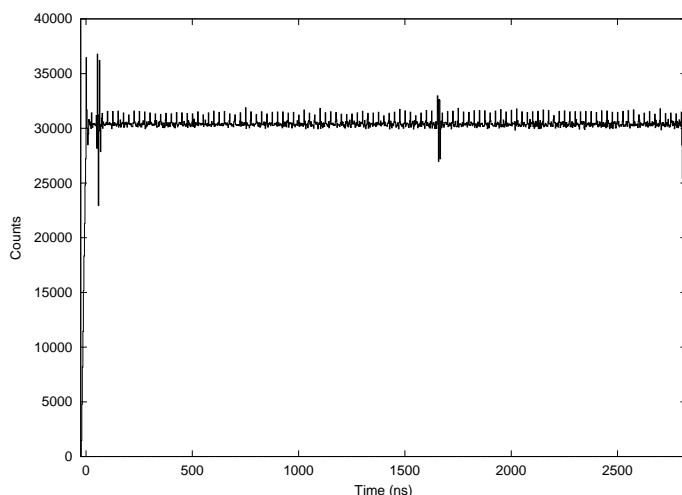


Рис. 3: Распределение измеренных интервалов времени для входных сигналов 300 кГц.

В начале на входы START и STOP подавались сигналы с частотой порядка 300 кГц. Результат приведен на рисунке 3.

Фрагмент из середины распределения приведен на рисунке 4. Предположительно, выбросы обусловлены наводкой от заднего фронта одного сигнала на другой, так как при изменении периода сигнала, выбросы смещаются в соответствующую сторону.

Начальная область распределения приведена на рисунке 5. Скорее всего, выбросы также обусловлены наводками между сигналами, когда фронт одного сигнала находится близко к фронту другого сигнала.

Чтобы избавиться от выбросов в середине распределения частота сигналов START и STOP была уменьшена до 100 кГц. Теперь задний фронт сигналов лежит за пределами измеряемых интервалов времени (больше чем 2.8 мкс). Остался выброс только в начале распределения и регулярные выбросы по всему распределению.

Для того, чтобы убрать выброс в начале распределения, поменяли местами сигналы START и STOP. Результат приведен на рисунке 6.

Начальная область распределения приведена на рисунке 7. Можно предположить, что выбросы в начальной области обусловлены влиянием фронта одного сигнала на фронт другого сигнала, когда они находятся близко друг к другу. Картина качественно меняется после перестановки

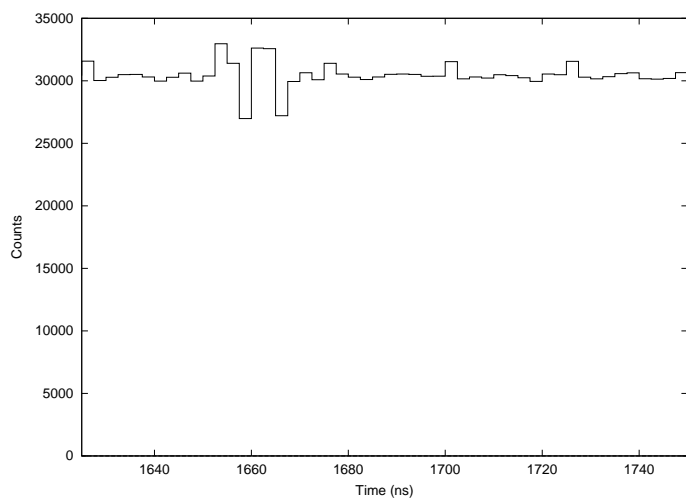


Рис. 4: Фрагмент из середины распределения измеренных интервалов времени для входных сигналов 300 кГц.

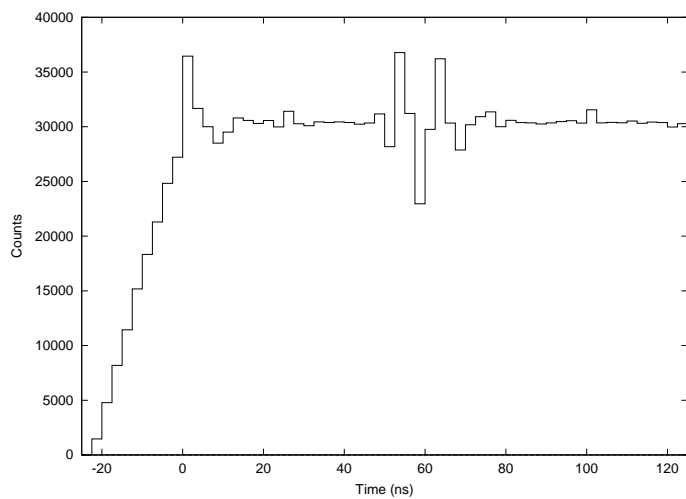


Рис. 5: Начальная область распределения измеренных интервалов времени для входных сигналов 300 кГц.

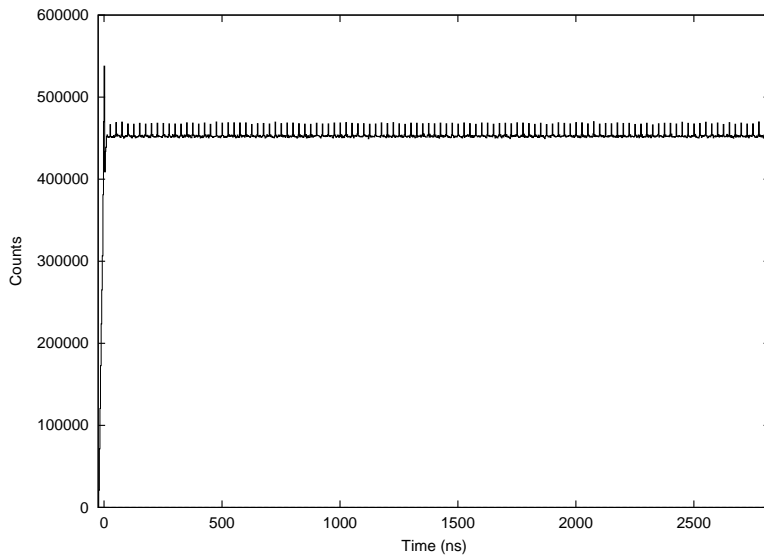


Рис. 6: Распределение измеренных интервалов времени для входных сигналов 100 кГц после перемены местами сигналов START и STOP.

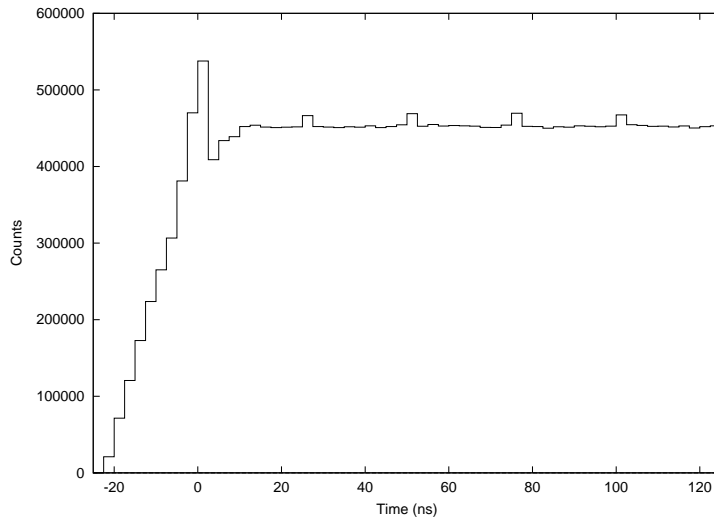


Рис. 7: Начальная область распределения измеренных интервалов времени для входных сигналов 100 кГц после перемены местами сигналов START и STOP.

местами сигналов START и STOP, так как использовались генераторы с разными выходными формирователями и наводка от фронта одного сигнала на другой значительно меньше наводки от фронта второго сигнала на первый.

Объяснение регулярных выбросов на гистограммах приведено далее в разделе “Дальнейшая обработка результатов”.

5 Влияние изменения температуры и напряжения питания на результаты измерений

Схема измерения аналогична использовавшейся при проверке временного разрешения путем измерения фиксированного интервала времени. При формировании сигнала STOP использовалась кабельная линия задержки с величиной порядка 64 нс.

Зависимость измеренного интервала времени от напряжения питания приведена на рисунке 8. Полный разброс средних значений (т.е. вычисленных по гистограммам) составил порядка 0.02 нс при изменении напряжения 3.3 ± 0.2 В, что можно считать несущественным по сравнению с разбросом значений в самой гистограмме.

Зависимость величины измеренного интервала времени от температуры ПЛИС Altera приведена на рисунке 9. Полный разброс средних значений составил порядка 0.04 нс при изменении температуры от 20 до 60 градусов. Это вдвое больше чем разброс при изменении напряжения, но тем не менее существенно меньше разброса значений в самой гистограмме.

6 Дальнейшая обработка результатов

Все приведенные выше результаты были получены с помощью алгоритма, описанного в пункте 2.5, т.е. для вычисления интервала времени использовались значения счетчика тактов и разность числа элементарных задержек линий задержек START и STOP.

Имея исходную информацию в виде таблицы “количество событий для каждой комбинации *start*, *stop* и *counts*” можно провести более детальный анализ характеристик прототипа.

Зависимость числа событий от комбинации кодов линий задержек START и STOP, при измерении равномерно распределенных интервалов времени, приведена на рисунке 10. В идеальном случае распределение

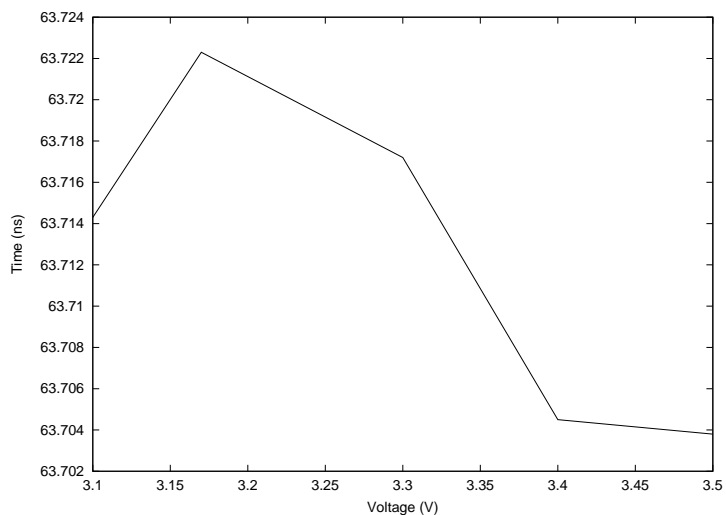


Рис. 8: Зависимость измеренного интервала времени от напряжения питания ПЛИС Altera.

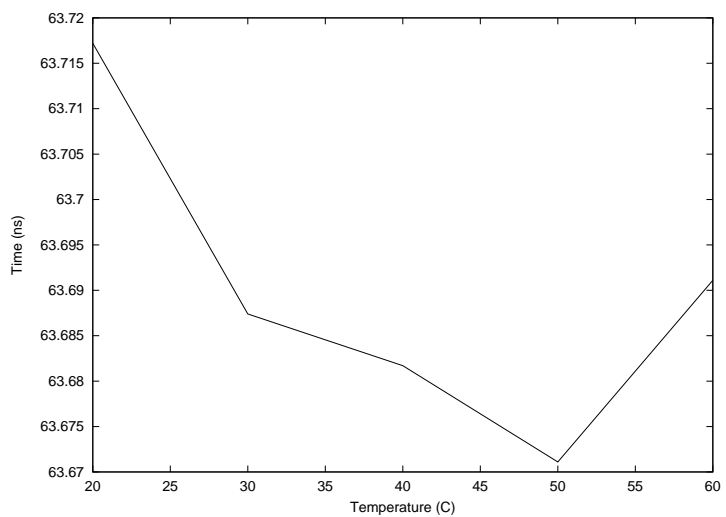


Рис. 9: Зависимость измеренного интервала времени от температуры ПЛИС Altera.

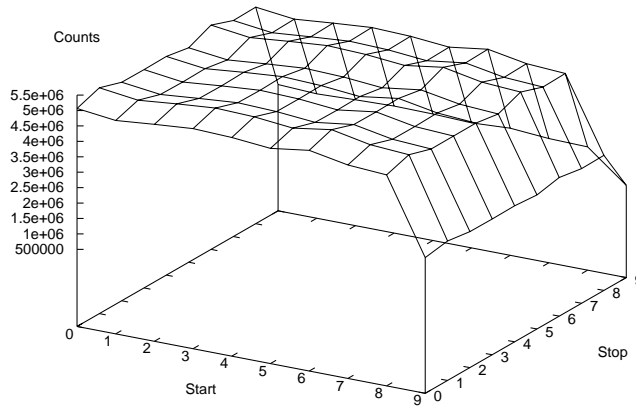


Рис. 10: Распределение числа событий в зависимости от комбинации кодов линий задержек START и STOP.

должно быть равномерным. Отклонение от равномерности характеризует неоднородность линий задержек START и STOP, при этом можно вычислить задержку каждого элемента.

Следующие рис.11,12 получены из рисунка 10 путем свертки по коду линий задержек STOP и START соответственно.

При равномерном распределении интервалов времени число событий, зарегистрированных в конкретном элементе линии задержки, прямо пропорционально времени задержки этого элемента, и сумма задержек всех элементов в линии задержки должна быть равна периоду генератора тактовой частоты. Отсюда можно вычислить времена задержек каждого элемента, соответственно в линии задержки сигнала START (таблица 1) и в линии задержки сигнала STOP (таблица 2).

Статистика в последнем элементе и, соответственно, вычисленное время задержки этого элемента, ограничены длительностью периода тактового генератора. Если бы задержка каждого элемента была бы ровно 2.5 нс, то статистика для каждого элемента была бы одинакова.

Этим же объясняется регулярный выброс на рисунках 3 – 7.

Рассмотрим разные возможные комбинации кодов линий задержек сигналов START и STOP, и приблизительно посчитаем вероятности выпадения различных комбинаций. Вероятность попадания события в любой

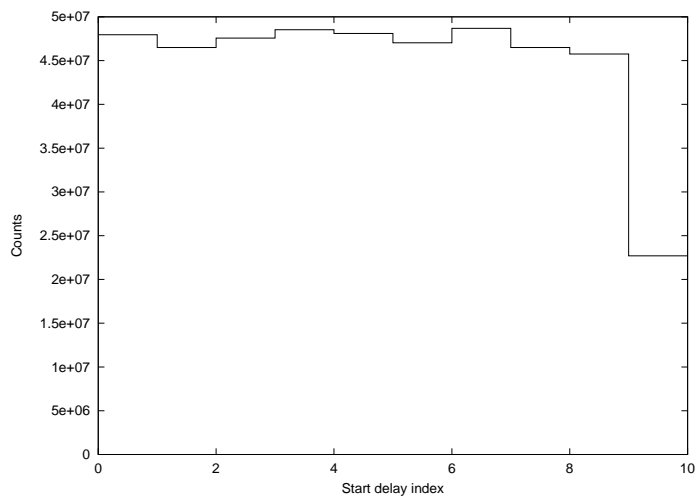


Рис. 11: Распределение задержек в зависимости от кода линии задержки START.

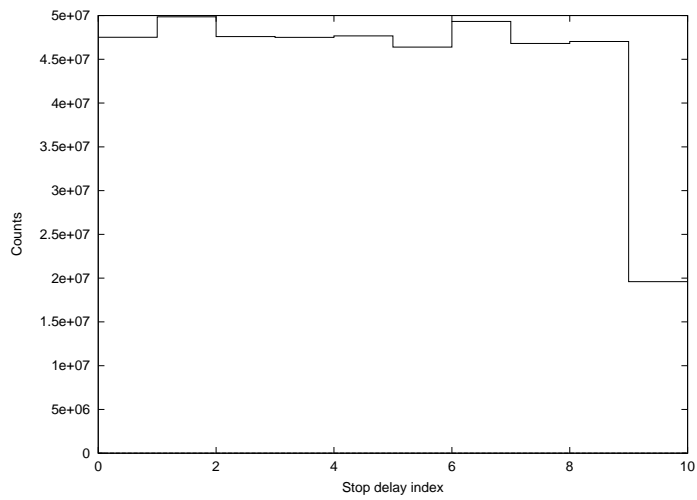


Рис. 12: Распределение задержек в зависимости от кода линии задержки STOP.

Таблица 1: Длительности задержек в линии задержки сигнала START

Номер элемента задержки в линии задержки START	Время (нс)
0	2.66824
1	2.58678
2	2.64718
3	2.69989
4	2.6764
5	2.61689
6	2.70889
7	2.58671
8	2.54586
9	1.26315

Таблица 2: Длительности задержек в линии задержки сигнала STOP

Номер элемента задержки в линии задержки STOP	Время (нс)
0	2.64388
1	2.77409
2	2.64793
3	2.64349
4	2.65269
5	2.58122
6	2.74476
7	2.60459
8	2.617
9	1.09035

элемент линии задержки кроме последнего примерно одинакова (10.5%), вероятность попадания в последний элемент составляет около 5.25%. Обозначим вероятность попадания события в i -ый элемент задержки W_i , т.е. $W_0 = 0.105 \dots W_8 = 0.105$, $W_9 = 0.0525$. Интервал времени 0 можно получить из тех комбинаций, где код линий задержек START и STOP равны, т.е. вероятность Ω_0 получить время 0 будет равна:

$$\Omega_0 = \sum_{i=0}^9 W_i * W_i = 0.10249.$$

А вероятность Ω_j получить время $j \neq 0$ будет складываться из комбинаций, где код линии задержки START больше кода линии задержки

STOP на j , или код линии задержки START меньше кода линии задержки STOP на $(10 - j)$, но дополнительно прошел еще один такт тактовой частоты. При этом вероятность будет равна (для $j = 1..9$):

$$\begin{aligned}\Omega_j &= \sum_{i=j}^9 W_i * W_{i-j} + \sum_{i=0}^{j-1} W_i * W_{10-j} = \\ &= \sum_{i=0}^8 W_i * W_i + 2 * W_0 * W_9 = 0.09972.\end{aligned}$$

Таким образом получается, что в “первом” отсчете внутри каждого такта число зарегистрированных событий больше примерно на 3 процента, что согласуется с рисунками 3 – 7.

Конечно, если вычислять интервал между сигналами, учитывая реальные задержки в линиях задержек START и STOP, то можно ожидать, что распределение будет гораздо более гладким.

В качестве примера можно обработать данные рисунка 6, используя тот факт, что задержка последнего элемента примерно в два раза меньше чем задержки остальных элементов. В результате получается распределение, приведенное на рисунках 13 и 14.

Peak-to-peak разброс значений в распределении уменьшился с 4% до 1%, сигма разброса значений уменьшилась с 1% до 0.1%.

Если обрабатывать распределение измеренных интервалов времени при фиксированном интервале времени между сигналами START и STOP, используя такой-же алгоритм определения интервала времени, то результаты по временному разрешению получаются несколько хуже:

$$\begin{aligned}\bar{x} &= 251.2 \text{ ns}, \\ \sigma &= 1.56 \text{ ns}.\end{aligned}$$

Это ухудшение связано с искусственным разделением каждого события на несколько событий с меньшими весами.

Соответствующее распределение приведено на рисунке 15.

В принципе такой алгоритм можно реализовать в ПЛИС Altera, хотя это приведет к существенным изменениям проекта и к усложнению обработки получаемой информации.

С другой стороны, можно ожидать, что при использовании более быстрых программируемых матриц, задержки на каждый логический элемент будут меньше, число элементарных задержек внутри одного такта тактовой частоты будет больше, и соответственно, ошибка в определении интервала времени также будет меньше.

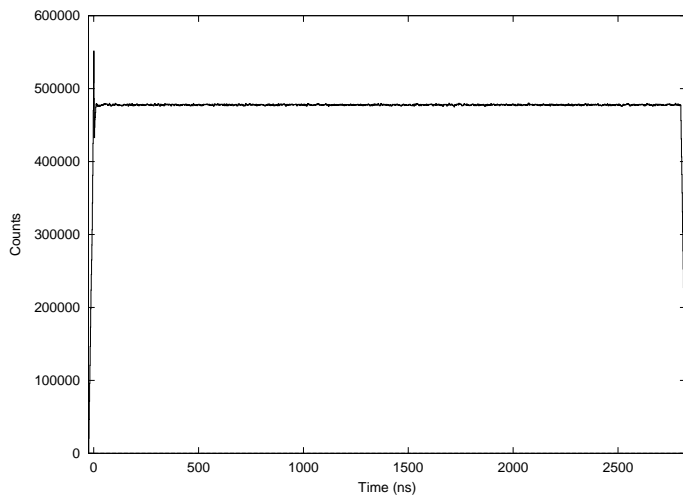


Рис. 13: Распределение измеренных интервалов времени для входных сигналов 100 кГц, если считать, что задержка последнего элемента в линии задержки в два раза меньше, чем задержки остальных элементов.

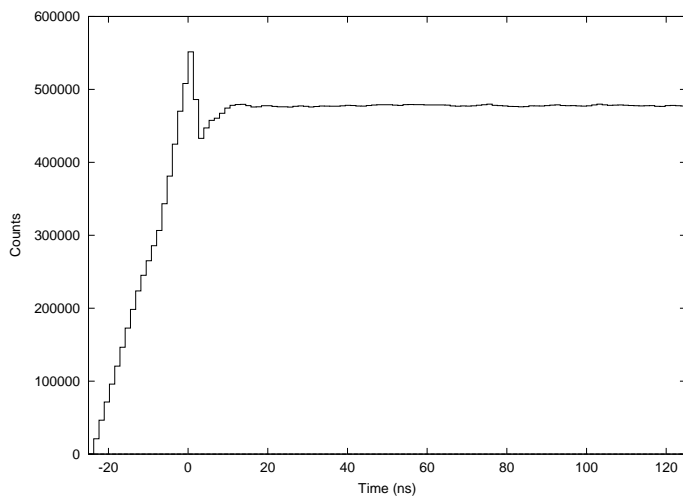


Рис. 14: Начальная область распределения измеренных интервалов времени для входных сигналов 100 кГц, если считать, что задержка последнего элемента в линии задержки в два раза меньше, чем задержки остальных элементов.

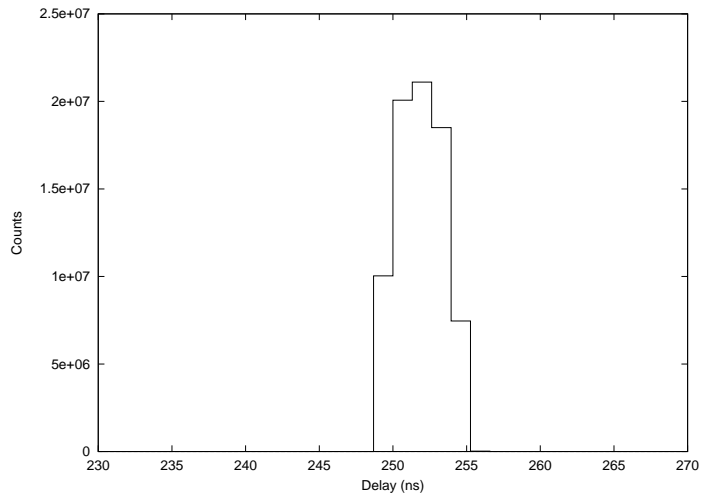


Рис. 15: Распределение измеренных интервалов времени при фиксированном интервале времени между сигналами, если считать, что задержка последнего элемента в линии задержки в два раза меньше, чем задержки остальных элементов.

7 Схема регистрации интервалов времени между двумя сигналами START и сигналом STOP

Также был создан проект для решения задачи измерения интервала времени между несколькими сигналами START и одним сигналом STOP. Блок-схема измерения интервалов времени между двумя сигналами START и сигналом STOP, приведена на рисунке 16. Параметры схемы не отличаются от ранее рассмотренной. Дополнительно, схема может зарегистрировать второй сигнал START, если он отстоит от предыдущего сигнала START не меньше чем на два такта тактовой частоты.

Проведенные измерения характеристик схемы не выявили отличий от ранее рассмотренной схемы, что объясняется тем, что изменения в проекте не коснулись линий задержек – самого тонкого места в проекте.

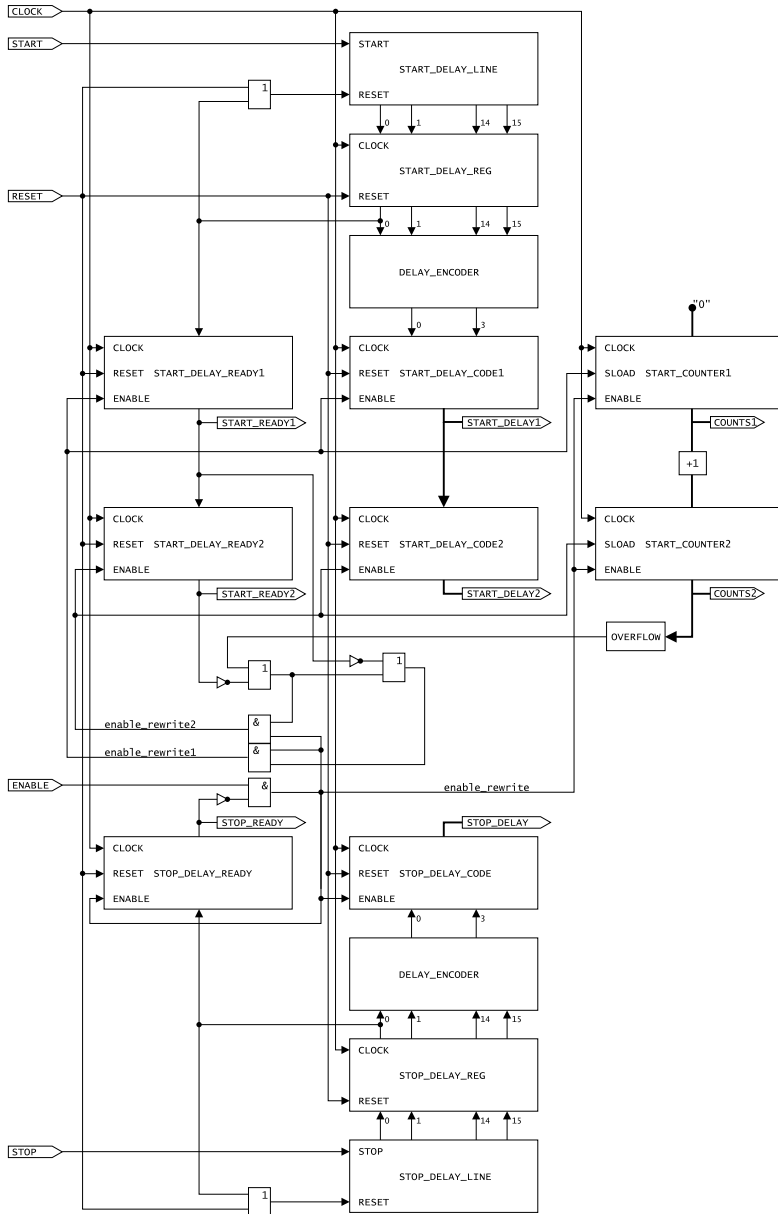


Рис. 16: Блок-схема измерения интервала времени между сигналами START и STOP, с возможностью регистрации до двух сигналов START.

8 Заключение

В результате работы был разработан и промоделирован проект ПЛИС Altera с использованием САПР MAX+PLUS II для измерения интервала времени между двумя сигналами. Был изготовлен прототип для проверки работоспособности проекта и измерения его характеристик. Были реализованы несколько типов измерений, обработка которых позволила изучить характеристики и особенности работы прототипа. При использовании в прототипе ПЛИС Altera EPF10K50VRC240-3 с типовым временем задержки на вентиль 2.5 нс при тактовой частоте 40 МГц получены следующие характеристики прототипа:

- Цена одного канала измерения порядка 2.5 нс;
- Диапазон измеряемых интервалов времени от 2.5 нс до 2.8 мкс;
- Точность измерения фиксированного интервала времени (сигма) 1.25 нс;
- Реакция на изменение напряжения питания ПЛИС Altera 3.3 ± 0.2 В составляет 0.02 нс для любого интервала времени;
- Реакция на изменение температуры ПЛИС Altera от 20 до 60 градусов составляет 0.04 нс для любого интервала времени.

Предложен и реализован программно алгоритм учета неоднородности элементов схемы.

Разработана и проверена в работе схема измерения интервалов времени между двумя сигналами START и сигналом STOP.

Схема, разработанная на использованной в прототипе элементной базе, может быть применена для решения задач измерения интервалов времени при построении систем регистрации в физике высоких энергий.

Авторы выражают благодарность В.М. Аульченко за предложенную идею измерителя и за полезные обсуждения в ходе работы.

Список литературы

- [1] В.М. Аульченко. Широкодиапазонный время-цифровой преобразователь с высоким разрешением. Препринт ИЯФ СО АН СССР 76-24, Новосибирск, 1976.
- [2] *LeCroy Corporation*. 1994 Research Instrumentation Catalog. 1877 fastbus time-to-digital converter. p.56.
- [3] Г.Н. Абрамов *et.al.* Проект модернизации детектора СНД для экспериментов на ВЭПП-2000. Препринт ИЯФ 2001-29, Новосибирск, 2001.

М.А. Букин, В.М. Титов

**Время-цифровой преобразователь
с наносекундным разрешением
на основе ПЛИС Altera**

М.А. Bukin, V.M. Titov

**Time-to-digital convertor
with nanosecond resolution based on the PLD Altera**

ИЯФ 2001-57

Ответственный за выпуск А.М. Кудрявцев
Работа поступила 31.08.2001 г.

Сдано в набор 3.09.2001 г.
Подписано в печать 3.09.2001 г.
Формат бумаги 60×90 1/16 Объем 1.5 печ.л., 1.2 уч.-изд.л.
Тираж 90 экз. Бесплатно. Заказ № 57

Обработано на IBM PC и отпечатано на
ротапринте ИЯФ им. Г.И. Будкера СО РАН
Новосибирск, 630090, пр. академика Лаврентьева, 11.